

## МИКРОПРОЦЕСОРНА СИСТЕМА ЗА ONLINE ВИЗУАЛЕН КОНТРОЛ НА ХРАНИ

**Красимир Колев**

*Университет по хранителни технологии, катедра „Компютърни системи и технологии”  
4002, гр. Пловдив, България, e-mail: k\_kolev@uft-plovdiv.bg*

## A MICROPROCESSOR SYSTEM FOR ONLINE VISUAL CONTROL OF FOODS

**Krassimir Kolev**

*University of Food Technologies in Plovdiv, Department of Computer Systems and Technologies  
4002, Plovdiv, Bulgaria, e-mail: k\_kolev@uft-plovdiv.bg*

### ABSTRACT

The paper reports an authentic solution of a microprocessor system for online control of foods via Internet. The author suggests a structure of the microprocessor system. Microprocessor system was realized based on digital signal processor TMS320C6416 and FPGA EP2C8Q208. Operating principle of the microprocessor system is explained. An analysis of proposed software and hardware are made.

*Key words: microprocessor system, digital signal processor, visual control.*

### АКТУАЛНОСТ

Съвременните изисквания за проследимост на качеството на храни изисква контрола да е непрекъснат с възможност на запис на процеса на преработка. Съвременните микропроцесорни системи на база на цифрови сигнални процесори (DSP) предоставят възможност за обективно следене на качеството на храни. Съществуват различни методи за определяне на качеството на храни. В последните години като перспективни методи позволяващи обективна оценка и визуален контрол се наложиха системите за компютърно зрение с интегрирани алгоритми за експресна оценка на база формата и цвета на преработваните храни. Европейските изисквания за предлаганите храни за консумация изискват внедряване на експресни системи за диагностика и окачествяване. Постоянна е нуждата от разработване на нови системи гарантиращи качеството на предлаганите храни. Особено внимание се отделя на нови разработки позволяващи изграждане на съвременни мобилни автономни апарати за online окачествяване използвайки възможностите за глобално мрежово свързване посредством Интернет.

### ЦЕЛ

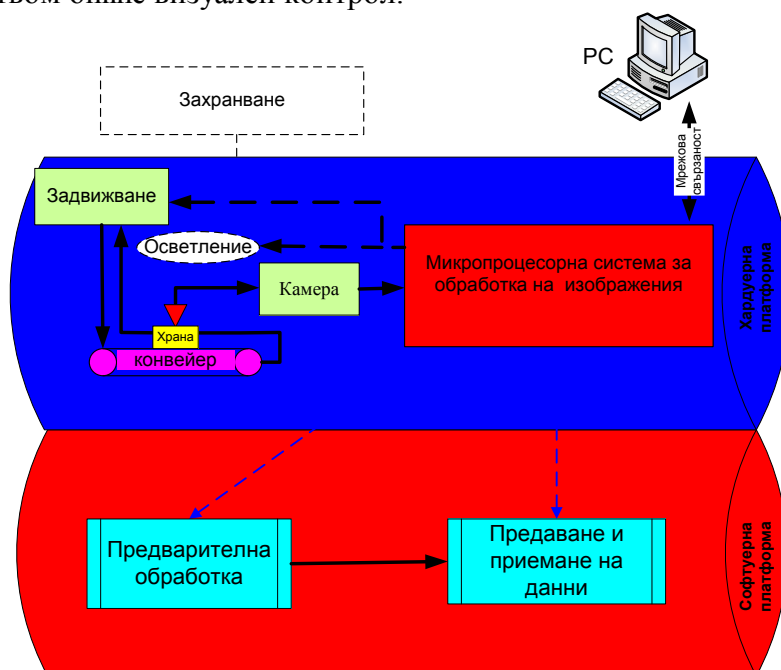
Да се представи вариант на високо технологична микропроцесорна система за online визуален контрол на храни подходяща за изграждане на мобилни автономни системи за проследимост. Представена е структурна схема на разработената микропроцесорна система, описано е взаимодействието на елементите и са предложени алгоритми за цетова корекция и мрежова свързаност. Получените резултати от работата на микропроцесорната система са оценени и анализирани.

### ИЗИСКВАНИЯ И СТРУКТУРНА СХЕМА

Задачите на съвременните хранително-вкусови производства изискват да се следи непрекъснато процеса на производство и да се реагира незабавно при неочаквани технологични нарушения и отклонения от стандарта за храни. Това изисква внедряване на методи способни да обработват online информационния поток и да вземат решение за окачествяване. По-рано са използвани статистически методи, на база на моментни снимки и

вземане на контролни проби, които не могат да осигурят адекватна скорост и качество на анализ на данни в отговор на непрекъснато засилено натоварване от информация. Необходимостта от интелигентни методи за анализ на данните и по-тежки изисквания за тестване на качеството на храни изискват непрекъснат online визуален контрол. Тези изисквания за online мобилен визуален контрол могат да се удовлетворят посредством използване на високо производителни цифрови сигнални процесори. В много случаи, цифровите сигнални процесори приличат на микро-контролерите, тъй като те често включват подобни компоненти, като вградена памет, периферни интерфейси, вградени преобразуващи модули и предоставят едночипови решения за вградени приложения. Но тази прилика е само на пръв поглед, защото цифровите сигнални процесори имат усъвършенствана вътрешна структура с паралелна архитектура с множество функционални блокове за свръх дълги инструкции (VLIW) и позволяващи обработка една инструкция-множество данни (SIMD) [4].

На фиг. 1 е представен разработен модел на компютърна платформа за окачествяване на храни посредством online визуален контрол.



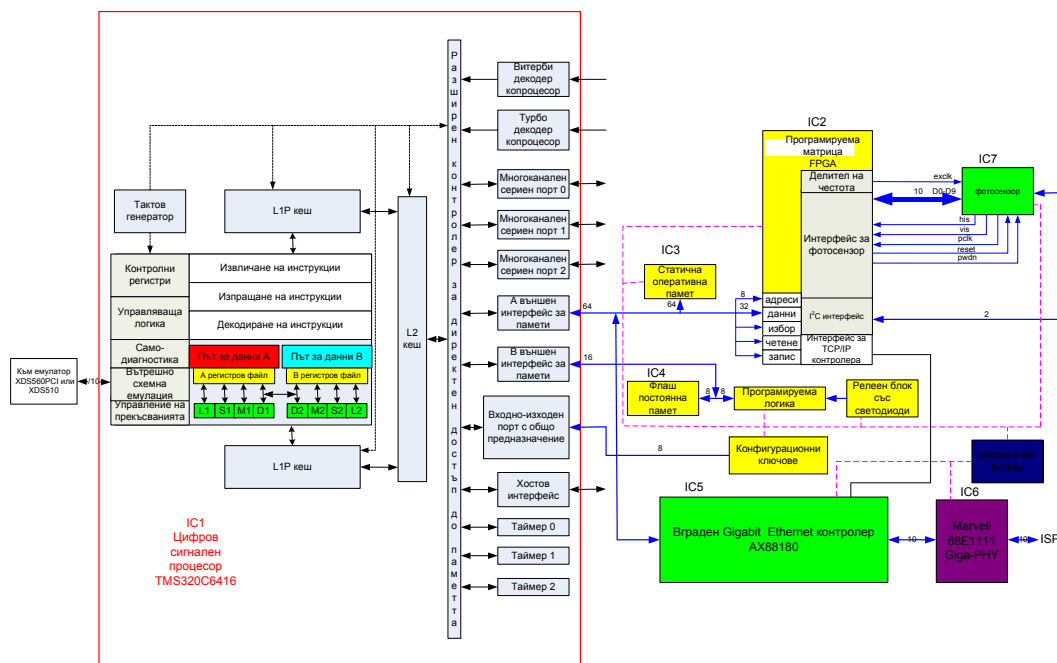
**Фиг. 1.** Модел на компютърна платформа за online визуален контрол на храни

От представения модел на компютърна система за окачествяване на фиг. 1 се вижда, че хардуерната платформа се състои от задвижване на конвейера, камера, осветление и микропроцесорна система за обработка на изображения. Софтуерната платформа изпълнява алгоритмични задачи свързани с предварителна обработка и предаване и приемане на данни. Двете платформи са в неразривна връзка, като задачите по окачествяване се осъществяват от микропроцесорна система за обработка по зададени дистанционни команди. Ядрото на системата е микропроцесорната система за обработка на изображения. В нея се реализират алгоритмите по цветово калибриране и компресия на изображения за предаване по Ethernet.

### УСТРОЙСТВО И ПРИНЦИП НА ДЕЙСТВИЕ

На фиг.2 е дадена принципната схема на вариант на микропроцесорна система за online визуален контрол на храни. За хардуерната реализация на компютърната система за обработка на изображения е използван цифров сигнален процесор TMS320C6416T на Texas Instrument с процесорното ядро C64x. TMS320C6416T на TI се счита един от най-мощните

цифрови сигнални процесори с тактова честота достигаща до 1.2GHz и с изключително ниска консумация под 1.5W, което е от съществено значение за изграждане на мобилна хардуерна платформа за окачествяване на храни. Производителността на процесора е 8000 милиона инструкции за секунда (MIPS) при тактова честота 1 GHz [5].



Фиг. 2. Микропроцесорна система за online визуален контрол на храни

Процесорното ядро C64x се състои от осем функционални блока разделени на две секции (A) и (B), два регистрови файлове и два пътя за данни. Всяка секция има така наречения M блок за умножаващи операции, L блок за логически и аритметични операции, S блок за преходи и D блок за зареждане. C64x DSP процесорното ядро притежава 64 броя 32-битови регистъра за обща употреба. Кеша (L1P) е 128 Kbit директен програмен кеш, а кеша (L1D) е 128 Kbit двустранен даннов асоциативен кеш. Кешовата памет на второ ниво (L2) се състои от 8 Mbit споделена програмна и даннова памет. L2 паметта може да бъде преконфигурируема в страници по 256Kбайта [1, 3].

Периферната конфигурация включва три многоканални серийни порта (McBSPs), три 32 битови таймера с общо предназначение, 32 битов хостов интерфейс (HPI), входно-изходен порт с общо предназначение и два интерфейса за външни памети (64-битов EMIFA и 16-битов EMIFB) позволяващи скорости на обмен 1.1 гигабайта за секунда.

Свързването на камерата се реализира чрез използване на програмируема логика /FPGA/ тип EP2K8Q208 на Altera за осъществяване на управлението и трансфера на данни към цифровия сигнален процесор TMS320C6416T от фото сензора.

Картата на паметта на (табл.1) показва адресното пространство на системата за получаване и обработка на изображения изграден на база на цифровия сигнален процесор TMS320C6416T.

адреси	Процесорен модул TMS320C6416T
0x00000000	Вътрешна памет
0x00100000	резервирана
0x60000000	EMIFB CE0 CPLD
0x64000000	EMIFB CE1 Flash
0x68000000	EMIFB CE2 -
0x6C000000	EMIFB CE3 -
0x80000000	EMIFA CE0 SDRAM
0x90000000	EMIFA CE1 допълнителна памет
0xA0000000	EMIFA CE2 FPGA камера
0xB0000000	EMIFA CE3 допълнителни модули

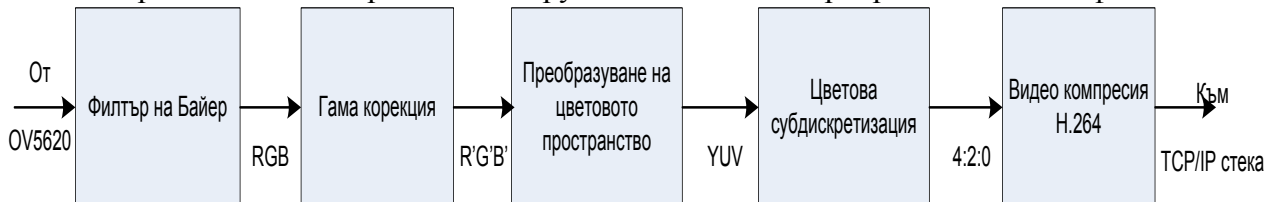
**Табл. 1.** Карта на паметта микропроцесорната система на база TMS320C6416T

Микропроцесорната система на база TMS320C6416T използва стандартни 64 мегабитови памет SDRAM тип MT48LC2M32B разположени в адресната област CE0 на EMIFA. Използвани са по две интегрални схеми в паралел за създаване на 64-битов интерфейс. Контролера използва 1Мбайта външна флаш памет като опция за самозареждане на програмата за обработка на изображения на храни.

Интерфейса на фото сензора OV5620 за връзка към TMS320C6416T се състои от един I<sup>2</sup>C сериен интерфейс за достъп до вътрешните регистри и 10-битов паралелен за трансфер на данни със съответните сигнали за синхронизация. За осъществяване на контрола и синхронизиране на данните като буферен елемент е използвана програмируема логика на база на препрограмируема вентилна матрица /FPGA/[6]. Ядрото на вградената система за програмируем чип /SoPC/ на FPGA се използва за свързване към външния интерфейс EMIFA на цифровият сигнален процесор TMS320C6416T.

Реализираното сензорно ядро обслужващо фото сензора на база 256 байтова опашка /FIFO/. Сигнала за прекъсване към цифровият сигнален процесор TMS320C6416T се активира, когато опашката /FIFO/ съдържа повече от 160 байта. Прекъсването предизвиква обслужване на процеса по прехвърляне на данните от буферната опашка FIFO в FPGA към цифровия сигнален процесор чрез порта EDMA към основната си памет. Мрежовата свързаност по-изграждане на TCP/IP стека е реализирана изцяло хардуерно посредством свързване на Gigabit мрежовия контролер AX88180 на фирмата ASIX и драйвера PHY 88E1111 на фирмата Marvell. Свързването на интегралните схеми на мрежовия контролер и драйвера PHY е извършено съгласно препоръките на фирмата ASIX ([www.asix.com.tw](http://www.asix.com.tw)).

Алгоритмичната диаграма на инструменталния Web сървър е показана на фиг. 3



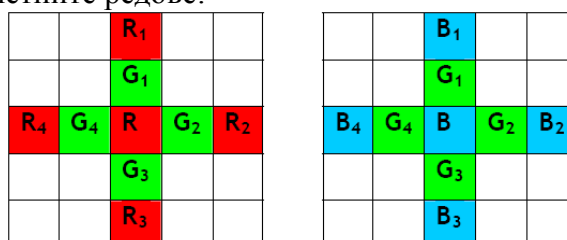
**Фиг. 3.** Алгоритмична диаграма

Времето на четене на данни зависят от избраната резолюция и се определят както е показано в табл. 2.

Режим	Резолюция	Обща брой тактове за обслужване	Време за четене на редица	Време за четене на редица при такт @ 20mhz
QSXGA	2592 x 1944	3000 x 2000	3000 * Pclk	150µs
SXGA	1280 x 960	1632 x 980	1632 * Pclk	82µs
VGA	640 x 480	816 x 490	816 * Pclk	41µs
HF	320 x 200	408 x 210	408 * Pclk	20µs

Табл. 2. Времена на четене от фотосензора

Изчисляване на стойностите зелената компонента G от сензорната матрица е извършено на база интерполация по схемата показана на фиг. 4, по формула (1) за нечетните редове и по формула (2) за четните редове.



Фиг. 4. Интерполация на зелената съставка

$$G(R) = \begin{cases} (G_1 + G_2)/2 & \text{ако } |R_1 - R_3| < R_2 - R_4 \\ (G_2 + G_4)/2 & \text{ако } |R_1 - R_3| > R_2 - R_4 \\ (G_1 + G_2 + G_3 + G_4)/4 & \text{ако } |R_1 - R_3| = R_2 - R_4 \end{cases} \quad (1)$$

$$G(B) = \begin{cases} (G_1 + G_2)/2 & \text{ако } |B_1 - B_3| < B_2 - B_4 \\ (G_2 + G_4)/2 & \text{ако } |B_1 - B_3| > B_2 - B_4 \\ (G_1 + G_2 + G_3 + G_4)/4 & \text{ако } |B_1 - B_3| = B_2 - B_4 \end{cases} \quad (2)$$

Гама корекцията за използвания светлинен източник от светодиоди е реализирана експериментално и е определена трансформиращата матрица табл. 3.

	R	G	B
R' =	1.268	0.094	0.051
G' =	0.872	1.821	0.051
B' =	0.101	0.126	1.227

Табл. 3 Матрица за гама корекция

Преобразуването  $R'G'B' \rightarrow YUV$  е извършено съгласно:

$$\begin{aligned} Y &= 9798R + 9235G + 736B / 2^{15} \\ U &= 21208R - 6941G - 277B / 2^{15} + 28 \\ V &= -784R - 437G + 1221B / 2^{15} + 28 \end{aligned} \quad (3)$$

Компресията е тип H.264 и е извършена с отчитане изискванията на стандарта.

Големината на програмният код е 970kB, а общото време за изпълнение на системната програма е 34ms.

Цената на предложената микропроцесорна система без допълнителни елементи по цени за 2015г. е 270 EUR [2].

### **ЗАКЛЮЧЕНИЕ**

Важни предимства на предлаганата система са: (1) портативност; (2) скоростна обработка до 5760 милиона инструкции за секунда; (3) възможност за online контрол на различни хранителни продукти; (4) възможност за адаптиране на интелигентни алгоритми като хостово приложение. Други предимства на предлаганата система са възможност за разширение и свързване в мрежова среда посредством Ethernet, като всяка отделна микропроцесорна система може да има отделен MAC и IP адрес. Недостатък е необходимостта от обучение на персонала за работа с микропроцесорната система.

### **ЛИТЕРАТУРА**

1. Chassaing R., D. Reay, 2008. Digital Signal Processing and Applications with the TMS320C6713 and TMS320C6416 DSK, Wiley-Blackwell
2. Comet Electronics – Bulgaria, 2014. Product catalog, ([www.comet.bg](http://www.comet.bg))
3. Kehtarnavaz N., 2004. Real-Time Digital Signal Processing: Based on the TMS320C6000, Newnes
4. Qureshi S., 2005. Embedded Image Processing on the TMS320C6000™ DSP, Springer Science+Business Media, New York, USA
5. Texas Instruments Incorporated, 2009. TMS320C6414/TMS320C6415T/TMS320C6416T Fixed-point DSP, SPRS226M, Texas, USA